

PN - JP 62179037 A 19870806 [JP62179037]

TI - MEMORY CARD

IN - SAKAMOTO HIROYUKI; MIYAZAKI KOICHI

PA - TOSHIBA CORP; TOSHIBA COMPUT ENG CORP

AP - JP01960986 19860131 [1986JP-0019609]

IC1 - G06F-012/14

IC2 - G11C-007/00

AB - PURPOSE: To obtain a memory card capable of protecting a data within a memory, and foreseeing the state of a write protection in the memory card by building in a write protection mechanism in the memory card, and enabling the state of a write protection switch to be read from a main body.

- CONSTITUTION: A write protection switch 41 is possessed of a write permitting state and a write prohibiting state, and the output of the switch 41 is inputted to a write protection circuit as a write protection signal, the inverse of WP. To a decoder 42, signals AD(sub 0), and AD(sub 1) which select input/output ports within the memory card, and a card select signal CS which enables the memory card to operate have been inputted. A write signal WR is sent when a write to the input/output port within the memory card including a write port to a memory chip is performed, and a write signal, the inverse of WE, is outputted when it coincides with the CS, the AD(sub 0), the AD(sub 1), (the inverse of WP), and the WR. In this way, when the write protection switch 41 is in the write prohibiting state, the memory write signal, the inverse of WE, is not outputted, and the write to the memory can be prohibited by the write protection switch.

- COPYRIGHT: (C)1987,JPO&Japio

①

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-179037

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)8月6日

G 06 F 12/14
G 11 C 7/00

3 1 0
3 1 5

7737-5B
6549-5B

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 メモリカード

⑯ 特 願 昭61-19609

⑰ 出 願 昭61(1986)1月31日

⑱ 発 明 者 坂 本 広 幸 青梅市末広町2丁目9番地 株式会社東芝青梅工場内
⑱ 発 明 者 宮 崎 幸 一 青梅市末広町2丁目9番地 東芝コンピュータエンジニアリング株式会社内
⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑲ 出 願 人 東芝コンピュータエンジニアリング株式会社 青梅市末広町2丁目9番地
⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

メモリカード

2. 特許請求の範囲

(1) データ処理装置に着脱自在で書き込み可能なメモリ素子を内蔵するメモリカードにおいて、利用者が任意に前記メモリ素子への書き込みを許可または禁止状態に設定可能な書き込み保護スイッチと、前記書き込み保護スイッチが書き込み禁止状態にあるとき、データ処理装置から前記メモリ素子への書き込み要求が発生しても前記メモリ素子への書き込みを禁止する書き込み保護回路を内蔵することを特徴とするメモリカード。

(2) 上記書き込み保護スイッチが示す状態をデータ処理装置から参照することにより書き込み保護の状態をあらかじめ知り得ることを特徴とする特許請求の範囲第1項記載のメモリカード。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、例えばワードプロセッサ等、OA

(オフィスオートメーション)機器の外部メモリとして使用されるメモリカードに関する。

〔発明の技術的背景とその問題点〕

最近半導体の実装技術の高度化に伴ない、半導体メモリ素子を内蔵するメモリカードが各種機器に使用され始めてきた。代表的には、ワープロをはじめとする小型OA機器のプログラムまたはデータファイルとして数K〜数10Kバイトの容量をもつRAM(ランダムアクセスメモリ)を内蔵したメモリカードを使用する例がある。しかしながら現在存在するメモリカードには、書き込み保護機構が内蔵されていないために、誤ってデータを書き込み、すでにメモリ中に格納してあったデータを破壊する危険性があった。

〔発明の目的〕

本発明は上記事情に鑑みてなされたものであり、メモリカードに書き込み保護機構を内蔵させることで、メモリ内のデータを保護し、且つ、書き込み保護スイッチの状態を本体から脱み出せるようにすることによって、メモリカードの使

込み保護の状態をあらかじめ知り得るメモリカードを提供することを目的とする。

〔発明の概要〕

本発明は、上記目的を実現するため、メモリカード自体にマニュアルにより設定可能な書き込み保護スイッチを設け、且つ、このスイッチが保護状態を示したときに、データ処理装置からメモリ素子への書き込み要求が発せられても、これを禁止する書き込み保護回路をメモリカードに内蔵させたものである。このことによりデータ処理装置側に特別な手段を必要とせず書き込み保護を実現出来、又、マニュアル設定されたメモリカード上の書き込み保護スイッチの状態をデータ処理装置側から読出すことにより、書き込みの可否をあらかじめ知る事が出来る。

〔発明の実施例〕

以下、図面を使用して本発明の実施例につき詳細に説明する。

第1図は本発明の実施例であるメモリカードの外観を示す図である。図において、1はメモ

リカード本体で、この内部にメモリチップ、インタフェース回路、バックアップ用電池およびプリント基板が実装されている。2は図示せぬデータ処理装置と本メモリカードを接続するためのカードエッジ型コネクタである。このコネクタ部2をデータ処理装置側コネクタに差し込むことによりデータ処理装置からメモリカードをアクセスすることができる。3は本発明により付加される書き込み保護スイッチで、メモリカードに内蔵されるメモリに対してデータ処理装置から書き込みを許可するかどうかなを選択指定するスイッチである。

第2図は、メモリカードの内部構成例をブロック図として示したものである。インタフェースゲートアレイ111はデータ処理装置本体とメモリチップ12間に位置し、本体とメモリ間のデータ転送を制御するための制御回路が内蔵されている。メモリチップ12はスタティックランダムアクセスメモリ(SRAM)で、8K×8ビット構成の64KビットCMOSメモリで構成され

る。本発明実施例ではSRAMが8個実装され、合計で64Kバイトのメモリ容量となる。14はバックアップ用電池である。このバックアップ用電池14はメモリカードが本体と接続されていないとき、メモリに書き込まれている内容を保持するためのものである。電源制御回路13はメモリカードが本体に接続されているときは本体から+5Vを供給し、本体に接続されていないときはバックアップ用電池14から電源を供給する切換回路を有し、さらに本体から+5Vが供給されていないときはインタフェースゲートアレイ111に対する全ての動作を禁止するための信号(CE)を供給する。

第3図に、インタフェースゲートアレイ111の内部構成例を示す。インタフェースゲートアレイ111は、カウンタ101~103、バッファ111~122、デコーダ131・132、セレクト141・142、そして制御回路151から成る。カウンタ101~103は本体からのメモリアクセスに対して、そのメモリアドレ

スが設定されるアドレスカウンタである。

RmA₀₀~RmA₁₉はカウンタの内容、すなわちメモリアドレスが示される。バッファ111~117は、本体からの信号を受け、バッファ118~122は、メモリへ信号を送る際に使われる。デコーダ131は、アドレス信号AD₀、AD₁からコントロール信号を作成し、デコーダ132は、メモリアドレスからチップセレクト信号mCS₀~mCS₇を作り出す。セレクト141は、アドレスカウンタ101~103の内容、メモリの読出しデータのそれぞれを入力して得られる信号を本体へ送るかを選択する。またセレクト142は、カウンタ102と103の内容のどちらをデコーダ132へ送るかを選択する。制御回路151は各ブロックをコントロールする各種信号を作成するロジック群である。

ここで、データ処理装置本体とのインタフェース信号につき簡単に付す。まず、DT₀~DT₇(DATA)は、8ビットの双方向データ信号である。本体はこの信号を介してメモリの読出し/

書き込み、および、アドレスカウンタ101～103の読出し／書き込みを行なう。AD₀-AD₁ (ADDRESS)は、メモ리카ード内の入出力ポートを選択するためのアドレス信号である。RD (READ)は、メモ리카ードから読出しを行なう際に出力される信号である。WR (WRITE)はメモ리카ードに対して書き込みを行なう際に出力される信号である。CS (CARD SELECT)は、メモ리카ードに対する選択信号である。本体はメモ리카ードをアクセスする場合、この信号を出力しなければならない。CE (CARD ENABLE)は、メモ리카ードに対して動作を有効にする信号である。この信号はメモ리카ード内の電源制御回路13から入力される。WP (WRITE PROTECT)は、書き込み保護信号である。この信号はメモ리카ードに付属する書き込み保護スイッチ3から供給される信号である。この信号が書き込み保護状態を示しているときはメモリチップ12に対する動作は禁止される。この信号の状態を本体から読み出すことができる。

メモリチップを接続することができる。 $\overline{\text{mWE}}$ (MEMORY WRITE ENABLE)は、メモリに対する書き込み信号である。 $\overline{\text{mOE}}$ (MEMORY OUTPUT ENABLE)は、メモリに対する出力エネーブル信号である。この信号はメモリ読出し動作のときに出力される。

第4図は、書き込み保護スイッチおよびインタフェースゲートアレイ11内蔵の書き込み保護回路の実施例を示す回路図である。図中、41は書き込み保護スイッチ(第1図の3に相当する)、42はデコード、43はナンドゲートである。第5図は、メモリチップへの書き込みタイミングを示す図で、メモリ書き込み信号(W $\overline{\text{E}}$)は書き込み保護スイッチが書き込み許可状態($\overline{\text{mWE}}$)のときと、書き込み禁止状態($\overline{\text{mWE}}_1$)のときが示されている。第6図・第7図は本発明実施例の動作を説明するために引用した図であり、それぞれ、アドレスカウンタにアクセスすべきメモリアドレスを書込む際のデータフォーマット、書き込み保護スイッチの状態を読出す際のデータフォー

JP₀～JP₂ (JUMPER ORTION)は、任意に設定できる3ビットのジャンパオプションである。このジャンパオプションは本体から読み出すことができる。この信号はたとえば、同一システムで複数種類のメモ리카ードを使用する場合にその種類を識別するため等に使用される。SZ₀-SZ₁ (MEMORY SIZE)は、メモリチップの容量を設定するための信号である。64KB (8KB×8)、256KB (32KB×8)、1MB (128KB×8)または2MB (256KB×8)のメモリチップを接続することができ、この信号によってメモリチップの容量を指定する。

次にメモリとのインタフェース信号につき、簡単に付す。mD₀-mD₇ (MEMORY DATA)は、メモリに対する読出し／書き込みデータが送られる双方向データ信号である。mA₀-mA₁ (MEMORY ADDRESS)は、メモリに対するアドレス信号である。256KBのアドレス空間をもつ。 $\overline{\text{mCS}}_0$ - $\overline{\text{mCS}}_1$ (MEMORY CHIP SELECT)は、メモリに対するチップセレクト信号である。最大メ

マップを示す。

以下本発明実施例の動作につき詳細に説明する。インタフェースゲートアレイ11には4つの入出力ポートが用意されている。この入出力ポートは、アドレス信号(AD₀-1)で選択され、リード信号(RD)またはライト信号(WR)で読出しまたは書き込み動作が行なわれる。入出力ポートに対する読出しまたは書き込み動作はカードセレクト信号(CS)およびカードエネーブル信号(CE)が共に“1”の場合のみ行なわれる。

次表に入出力ポートおよびその動作を示す。

信 号 线					动 作
CS	CE	AD ₁	AD ₀	RD WR	
0	X	X	X	X	NOP (NO OPERATION)
X	0	X	X	X	NOP (NO OPERATION)
1	1	0	0	0	(1) LOAD ADDRESS COUNTER 0-7
1	1	0	0	1	(2) RERD ADDRESS COUNTER 0-7
1	1	0	1	0	(3) LOAD ADDRESS COUNTER 8-15
1	1	0	1	1	(4) READ ADDRESS COUNTER 8-15
1	1	1	0	0	(5) LOAD ADDRESS COUNTER 16-19
1	1	1	0	1	(6) READ ADDRESS COUNTER 16-19
1	1	1	1	0	(7) WRITE MEMORY DATA
1	1	1	1	1	(8) READ MEMORY DATA
1	1	X	X	1	ILLEGAL

(6) READ ADDRESS COUNTER 16-19

(7) WRITE MEMORY DATA

但し、1 は " HIGH "、0 は " LOW "、x は DONT CARE とする。

(1) LOAD ADDRESS COUNTER 0-7

(2) READ ADDRESS COUNTER 0-7

(3) LOAD ADDRESS COUNTER 8-15

(4) READ ADDRESS COUNTER 8-15

(5) LOAD ADDRESS COUNTER 16-19

容がインクリメント (+1) される。

(8) READ MEMORY DATA

次に、第4図に示した書き込み保護回路の動作を説明する。書き込み保護スイッチ1は、第1図に示すようにメモリカード側面に置かれ、(第1図3)、書き込み許可状態と書き込み禁止状態の2つの状態をもつ。スイッチ1の出力は書き込み保護信号(WP)として書き込み保護回路に入力される。デコーダ2にはメモリカード内の入出力ポートを選択する信号(AD₀/AD₁)とメモリカードの動作を可能にするカードセレクト信号(CS)が入力されている。書き込み信号(WR)はメモリチップへの書き込みを含むメモリカード内の入出力ポートへの読み込み

を行なう際に送られる。メモリカード内のメモリ書き込み信号 (\overline{WE}) は下記の条件が満足されたときに出力される。

$$\overline{WE} = \overline{CS} \cdot \overline{AD_1} \cdot \overline{AD_0} \cdot \overline{WP} \cdot \overline{WR}$$

従って、書き込み保護スイッチ 41 が書き込み禁止状態のときはメモリ書き込み信号 (\overline{WE}) は出力されず、データ処理装置が誤ってメモリへの書き込み動作を行なっても書き込み保護スイッチによってメモリへの書き込みを禁止することができる。第5図は以上の動作をタイミング図で示したものである。

〔発明の効果〕

以上説明の様に本発明に従えば以下に列举する効果を得ることができる。

(1) メモリカード内に書き込み保護機構をもつことにより、本体側に特別な手段を必要とせず書き込み保護を実現できる。

(2) メモリカード利用者が任意に設定できるスイッチにより書き込み保護状態 (書き込み禁止)

ースゲートアレイ、 12 …メモリチップ、 13 …電源制御回路、 14 …バックアップ用電池、 $101 \sim 103$ …アドレスカウンタ、 111 、 122 …バッファ、 41 、 131 、 132 …デコーダ、 43 …ナンドゲート、 141 、 142 …セレクタ、 151 …制御回路。

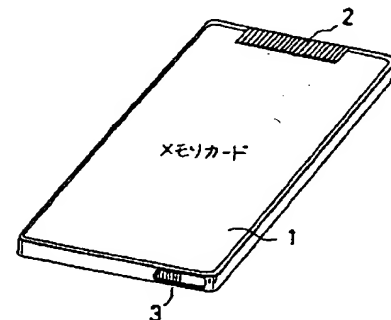
または許可状態を選択できる。

(3) メモリカード上の書き込み保護スイッチの状態を本体から読み出すことにより書き込み可能かどうかをあらかじめ知ることができる。

4. 図面の簡単な説明

第1図は本発明実施例のメモリカードの外観を示す図、第2図はメモリカードの内部構成を示すブロック図、第3図は第2図におけるインタフェースゲートアレイの内部構成を示すブロック図、第4図は書き込み保護スイッチ及びインタフェースゲートアレイ内蔵の書き込み保護回路の構成例を示す図、第5図はメモリチップへの書き込みタイミングを示す図、第6図・第7図は本発明実施例の動作を説明するために引用した図であり、それぞれ、アドレスカウンタにアクセスすべきメモリアドレスを書込む際のデータフォーマット、書き込み保護スイッチの状態を読み出す際のデータフォーマットを示す図である。

1 …メモリカード本体、 2 …コネクタ、 3 、 41 …書き込み保護スイッチ、 11 …インタフェ



第1図

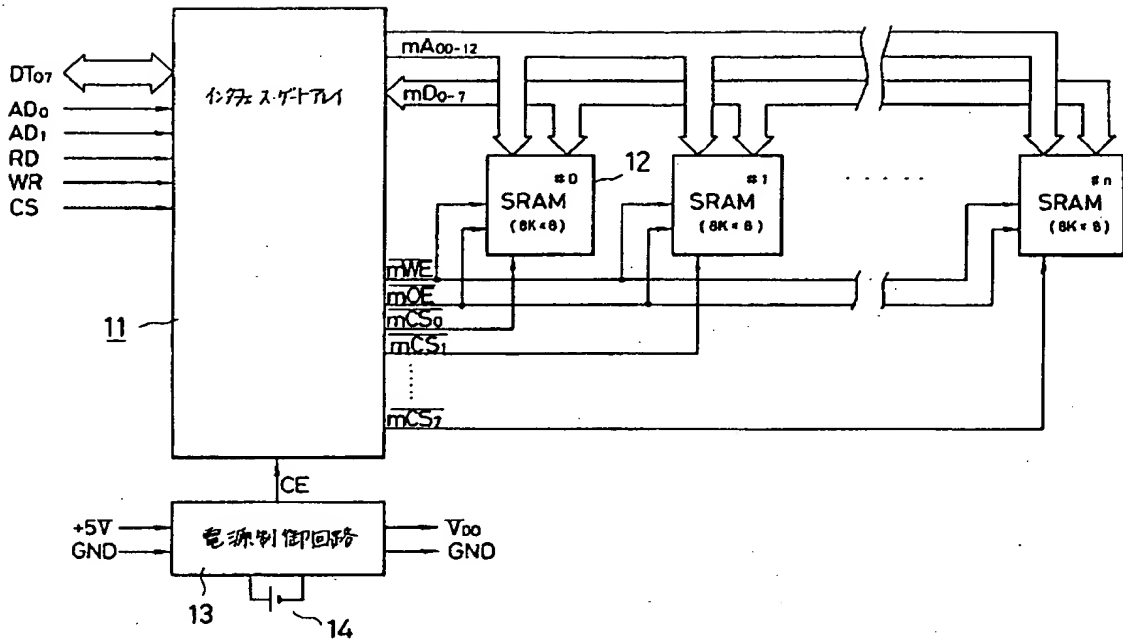
7	6	5	4	3	2	1	0
0	0	0	0	ADR			
				19	18	17	16

第6図

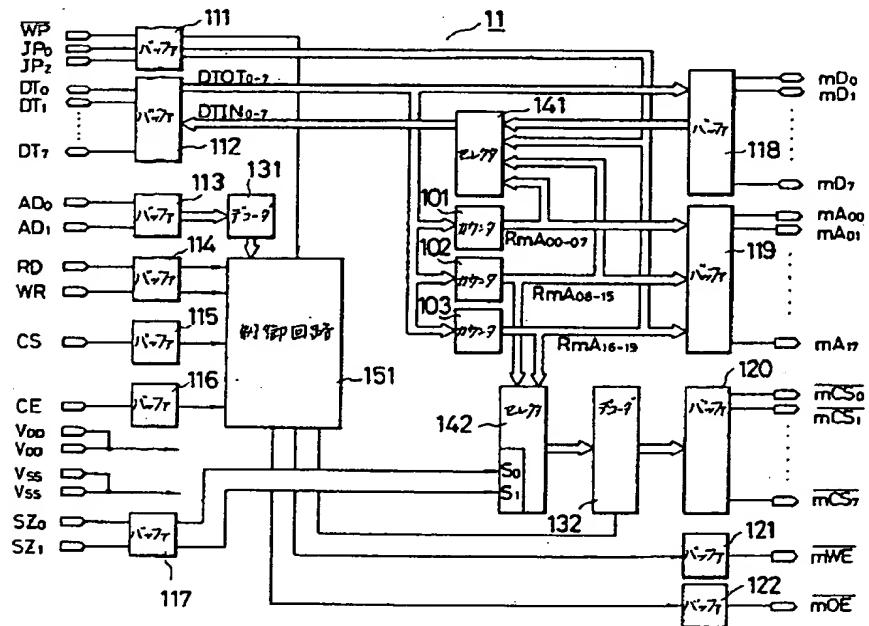
7	6	5	4	3	2	1	0
WP	JP			ADR			
	2	1	0	19	18	17	16

第7図

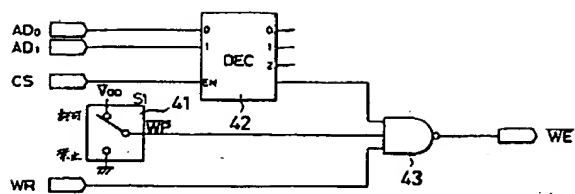
出願人代理人 弁理士 鈴 江 武 彦



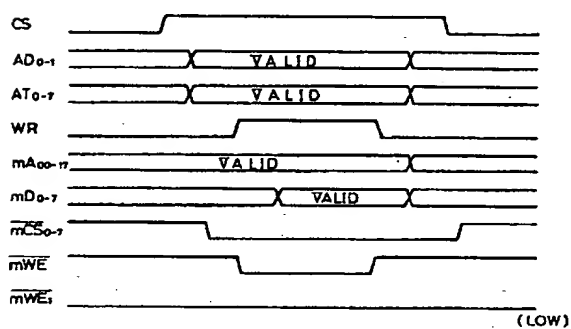
第 2 図



第 3 図



第 4 図



第 5 図